

- Utility Model Application Publication No. S61-111161  
Laid open to public: July 14, 1986
- Title of the invention: Semiconductor device  
Applicant: Toshiba Corporation  
Inventor: Hideaki ITO

(Spot translation)

An MOS type capacitive element (11) shown in Fig. 1 comprises a potential lead-out terminal (F) for an n-type island region in a resistance element (1), an electrode lead-out terminal (A) at a junction side of the MOS type capacitive element and an electrode lead-out terminal (B) at a conductor side of the MOS type capacitive element. The potential lead-out terminal (F) for the n-type island region is connected to a source voltage terminal (G) through a resistor RB in the same manner as a potential lead-out terminal (C) for an n-type island region in the resistance element (1).

## 公開実用 昭和61-111161

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U) 昭61-111161

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月14日

H 01 L 27/04  
27/06

1 0 1

7514-5F  
7925-5F

審査請求 未請求 (全 頁)

⑭ 考案の名称 半導体装置

⑮ 実 願 昭59-195283

⑯ 出 願 昭59(1984)12月25日

⑰ 考 案 者 伊 藤 秀 明 川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑲ 代 理 人 弁理士 井上 一男

明 細 書

1. 考案の名称

半導体装置

2. 実用新案登録請求の範囲

半導体基板に分離領域により囲まれたn型領域内に形成されたp型領域による抵抗素子、または、前記p型領域上に絶縁膜を介した導電体により形成されるmos型容量素子において、分離領域により囲まれたn型領域が別に形成された抵抗素子に接続され、この抵抗素子を介してn型領域の電位が印加されることを特徴とする半導体装置。

3. 考案の詳細な説明

〔考案の技術分野〕

この考案はバイポーラ型の半導体装置に関し、特に高周波特性の良いリニアICに使用されるものである。

〔考案の技術的背景〕

従来の一般的なmos型容量素子および抵抗素子の構造を第6図に示す。図において、(1)はmos型容量素子、(2)は抵抗素子で、いずれも半導体

基板(10)に素子間の分離領域(3)によって囲まれ、かつ隣接して形成されている。そして、図のAはモス型容量素子の接合側電極取出端子、Bは同じく導電体側電極取出端子、Cは抵抗素子における島の電位取出端子、DおよびEは抵抗素子の両端取出端子である。

図示の端子Cは通常ICの最高電位に電氣的に接続されて使用される。このICの最高電位は一般的には電源電圧である。

#### 〔背景技術の問題点〕

前記第6図に示したモス型容量素子(1)と抵抗素子(2)の交流等価回路を第2図(a),(b)に夫々示す。

第7図(a)において、 $C_H$ は本来の目的とするモス型容量であり $C_{PS}$ は半導体基板と分離されたn型領域との間に形成される寄生接合容量である。また、同図(b)において、Rは抵抗素子であり、 $C_{PB}$ は抵抗素子領域に分布定数的に形成されるp型領域とn型領域との寄生接合容量である。

叙上の背景技術のモス型容量においては、上記

寄生容量の影響を避けるために、接合側電極取出端子(A)のドライブ・インピーダンスを充分低くする必要があり、回路的に大きな制約を受ける欠点がある。また、抵抗素子においては高周波信号を流したとき信号の減衰をみるという欠点がある。

〔考案の目的〕

この考案は上記背景技術の問題点に鑑み、モス型容量素子と抵抗素子の対接地インピーダンスを大きくして信号の漏洩を低減させる構造の半導体装置を提供する。

〔考案の概要〕

この考案にかかる半導体装置は、半導体基板に分離領域により囲まれたn型領域内に形成されたp型領域による抵抗素子、または、前記p型領域上に絶縁膜を介して導電体により形成されるモス型容量素子において、分離領域により囲まれたn型領域が別に拡散またはポリシリコン等で形成された抵抗素子に接続され、この抵抗素子を介してn型領域の電位が印加されることを特徴とする。

〔考案の実施例〕

以下にこの考案を1実施例につき第1図ないし第5図によって説明する。なお、各図において、従来と変わらない部分については従来と同じ符号をつけて示し説明を省略する。

第1図におけるモス型容量素子(11)は抵抗素子(1)のn型島領域の電位取出端子(F)を上記モス型容量素子の接合側電極取出端子(A)および導電体側電極取出端子(B)とともに備え、上記n型領域の電位取出端子(F)は抵抗素子(1)におけるn型領域の電位取出端子(C)と同様に、抵抗 $R_B$ を介して電源電圧端子(G)に接続されている。第2図には第1図におけるモス型容量素子と抵抗素子の交流等価回路を夫々図(a)、図(b)で示す。そして、 $C_{PB}$ はp型領域とn型領域との間の接合容量、 $C_{PS}$ はn型領域とp型半導体基板との間の接合容量である。この図によって明らかなように、従来例を示す第7図の夫々に比べて、寄生接合容量が1個多く直列に接続された形になっている。また、第1図において、G端子のバイアス電位はICの最高電位に接続することができるため、第2図(a)、

(b)に示す $C_{PS}$ は第7図に示される $C_{PS}$ および $C_{PB}$ よりも小さくすることができる。従って、 $R_B$ を寄生容量インピーダンスより充分大きな値にしておけば、対接地インピーダンスは約2.倍程度以上にすることができる。

次に、第3図および第4図は容量の応用例であり、第3図に示すモス型容量素子(21)は接合側の取出しインピーダンスを下げるためにp型領域内にさらに高濃度の $n^+$ 拡散領域(5)を形成したものである。

また、第4図に示す容量の構造は導電体側と接合側とを夫々逆に接続した左右対称型の容量であり、この型においてはA-B間容量を第3図と等しくした場合、寄生容量面積が半分で済むので、一方からみた対接地インピーダンスは約4倍となる。

#### 〔考案の効果〕

第7図(a);(b)に示す従来例における対接地インピーダンスは夫々

$$Z_{1a} = \frac{1}{\omega C_{PS}}, \quad Z_{1b} = \frac{1}{\omega C_{PB}} \quad \dots(1)$$

である。また、第2図に示すこの考案の半導体装置にかかる対接地インピーダンスは上記と同様に

$$Z_{1a} = Z_{2b} = \frac{1}{\omega C_{PB}} + \frac{1}{\omega C_{PS} + R^{-1}} \quad \dots(2)$$

となる。式(2)において、 $\omega C_{PS} \ll R$ なる関係にすれば

$$Z_A = \frac{1}{\omega C_{PB}} + \frac{1}{\omega C_{PS}} \quad \dots(3)$$

となり、通常 $C_{PS}$ と $C_{PB}$ は略等しいかまたは式(1)における $C_{PS}$ 、 $C_{PB}$ よりも式(3)における $C_{PS}$ の方が小さく出来るので、対接地インピーダンスはほぼ2倍以上にできる顕著な利点がある。

#### 4. 図面の簡単な説明

第1図はこの考案にかかる半導体装置でモス型容量素子と抵抗素子部の断面図、第2図(a)、(b)は第1図に示す素子のいずれも交流等価回路図、第3図は第1図のモス型容量素子部の別の構造を示す断面図、第4図は第3図のモス型容量素子部

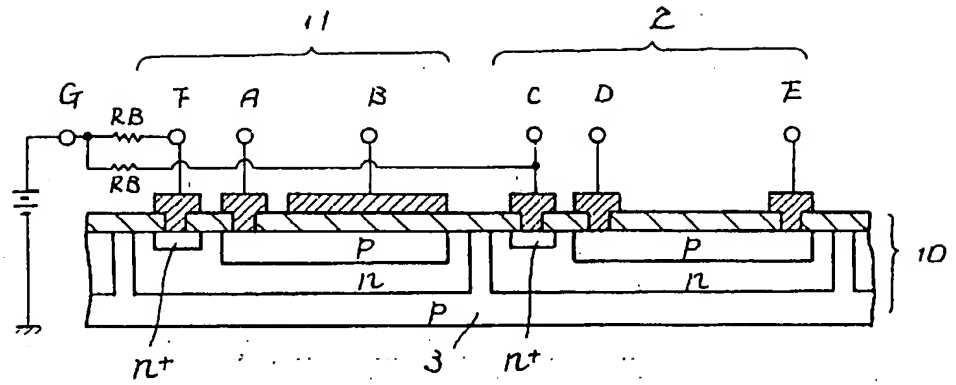


の応用接続例を説明するための断面図、第5図は第4図の交流等価回路図、第6図は従来例を示す断面図、第7図(a),(b)は第6図に示す素子のいずれも交流等価回路である。

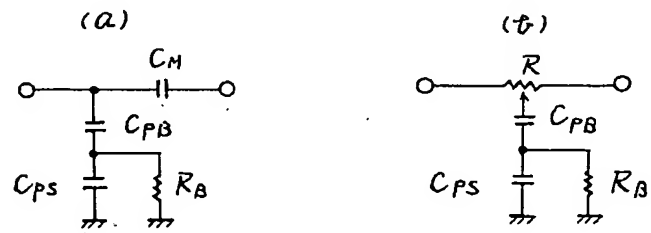
1, 21, 31, 41	モス型容量素子
2	抵抗素子
3	素子間の分離領域
5	$n^+$ 拡散領域
10	半導体基板
A	モス型容量素子の接合側電極取出端子
B	モス型容量素子の導電体側電極取出端子
C	抵抗素子における島の電位取出端子
D, E	抵抗素子の両端取出端子

代理人 弁理士 井 上 一 男

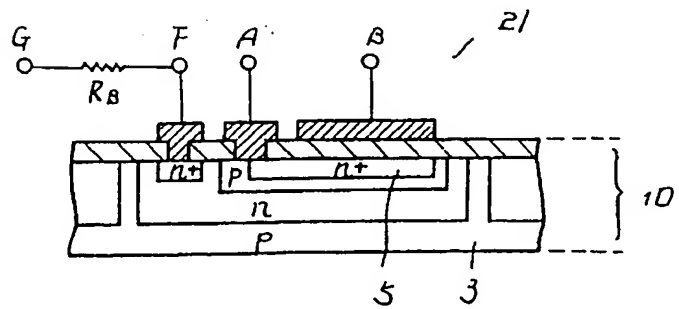
第 1 図



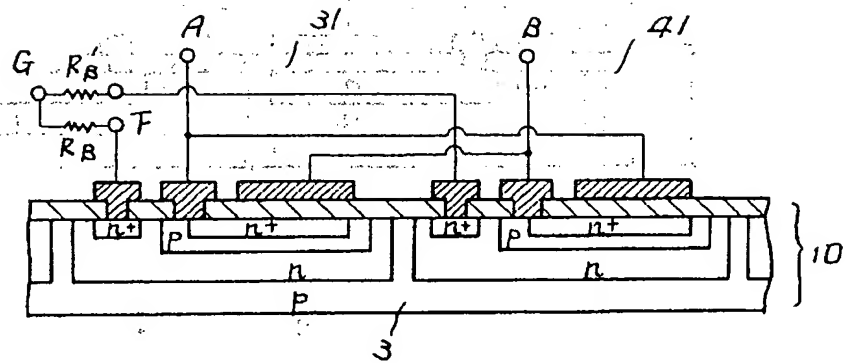
第 2 図



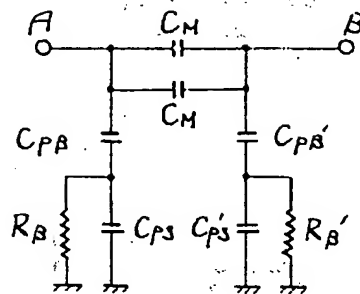
第 3 図



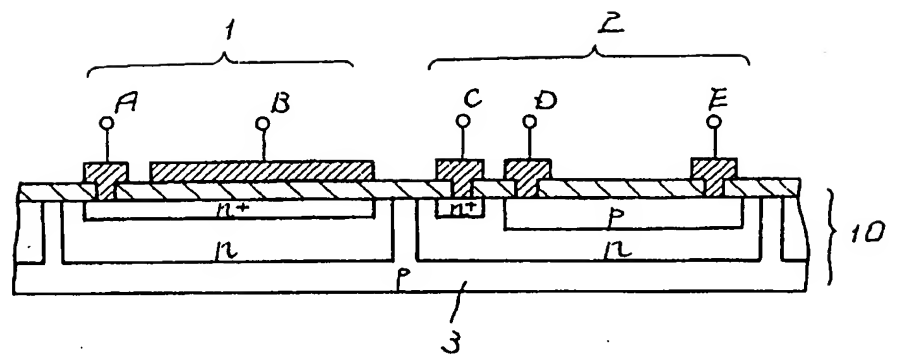
第 4 図



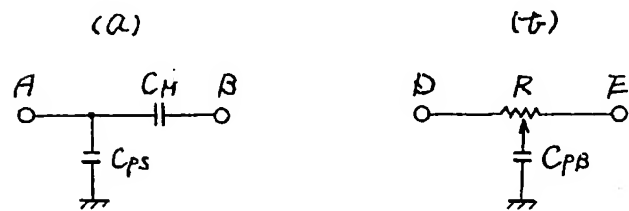
第 5 図



第 6 图



第 7 图



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**